

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

<Check 09/780040 + 09/846872 >

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

WPI

(11)特許出願公開番号

特開2001-203218

(P2001-203218A)

(43)公開日 平成13年7月27日 (2001.7.27)

(51)Int.Cl.
H 01 L 21/336
29/78

識別記号
6 5 3

F I
H 01 L 29/78

マーク (参考)
6 5 3 A
6 5 8 G
6 5 8 E

審査請求 未請求 請求項の数15 OL (全12頁)

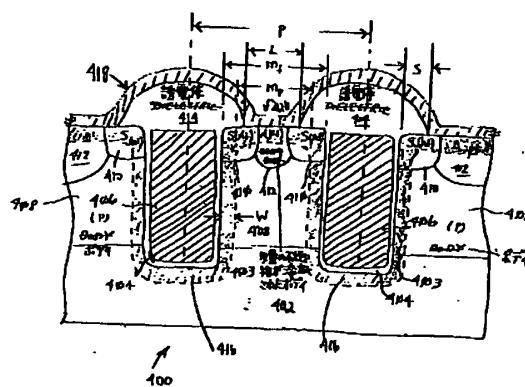
(21)出願番号	特願2000-357218(P2000-357218)	(71)出願人	500498833 フェアチャイルド セミコンダクター コーポレーション アメリカ合衆国、メイン、サウス ポート ランド、ランニング ヒル ロード 82
(22)出願日	平成12年11月24日 (2000.11.24)	(72)発明者	ゴードン ケイ、マドソン アメリカ合衆国 ユタ、リバートン、エス、ロックイ ポイント ドライブ 13704
(31)優先権主張番号	4 4 7 9 3 3	(72)発明者	ジョエル、シャープ アメリカ合衆国 ユタ、ハーリマン、オフエリア レーン 5775
(32)優先日	平成11年11月24日 (1999.11.24)	(74)代理人	100066692 弁理士 浅村 鑑 (外3名)
(33)優先権主張国	米国 (US)		

(54)【発明の名称】 半導体デバイスのトレンチの集積度を増大する方法

(57)【要約】

【課題】 半導体デバイスのトレンチの集積度を増大する方法を提供する。

【解決手段】 例えば、トレンチMOSFETのような半導体デバイスのトレンチの集積度を増大する方法が得られる。トレンチが基板中に作成される。この基板は、トレンチの間に配置されたメサを備えている。トレンチ・ピッチの減少を実現することができるよう、メサの初期幅が目標幅よりも小さく作成される。トレンチの内側にシリコンの層が成長された後、メサの幅がシリコンの層の厚さの2倍である最終の厚さに増大する。シリコン層の厚さが目標メサ幅に確実に対応する十分な厚さであるように、シリコン層の厚さが事前に計算される。



【特許請求の範囲】

【請求項1】 メサの目標幅よりも小さなパターンに作成されたメサ幅を有してメサをさだめることにより分離された1対のトレンチ開口アクセス部を基板の中にパターンに作成する段階と、

前記対のトレンチが前記パターンに作成されたメサ幅によって分離されるように、前記対のトレンチ開口アクセス部を貫通しおよび前記基板の中にまで前記対のトレンチを作成する段階と、

前記目標メサ幅よりも大きいまたは等しい最終的メサ幅にまで前記メサ幅を増大するために、前記対のトレンチの内側にシリコンの層を成長させる段階と、を有する前記基板の中に作成された1対のトレンチの間のピッチを減少する方法。

【請求項2】 請求項1に記載された方法において、パターンに作成する前記段階が前記基板の前記表面の上にハード・マスクを成長する段階と、

前記ハード・マスクの中に前記対のトレンチ開口アクセス部をホトリソグラフィにより定める段階と、を有する前記方法。

【請求項3】 請求項2に記載された方法において、前記対のトレンチを作成する前記段階が異方的エッチングを用いて実行される前記方法。

【請求項4】 請求項3に記載された方法において、前記対のトレンチの前記壁の上の欠陥の密度を減少するためにおよび前記対のトレンチの頂部および底部の上側の角および下側の角を丸くするために、シリコン層を成長する前記段階の前に水素ガスを用いて前記対のトレンチの前記壁に焼純しを行う段階をさらに有する前記方法。

【請求項5】 請求項4に記載された方法において、前記焼純し段階が約960℃ないし1160℃の範囲の温度および約40トルないし240トルの範囲の圧力の中で実行される前記方法。

【請求項6】 請求項5に記載された方法において、前記方法を用いてトレンチ電界効果トランジスタが製造される前記方法。

【請求項7】 第1電荷形の添加不純物を有する半導体基板を備える段階と、

前記基板の上に同じ第1電荷形の添加不純物を有するベース・シリコン層を成長する段階と、

前記ベース・シリコン層の中に2個またはさらに多数個のトレンチを作成する段階であって、前記トレンチのおのが前記基板の主要表面によって定められる平面の中の第1端部と前記ベース・シリコン層の中の予め定められた第1深さの第2端部にまで延長された壁とによって定められ、ここで隣接するトレンチを分離するメサが目標幅よりも小さな初期幅を有する、前記ベース・シリコン層の中に2個またはさらに多数個のトレンチを作成する前記段階と、

幅が整合するように、前記トレンチの前記壁の上および前記メサの上にシリコンの第2層を成長する段階と、を有するトレンチ電界効果トランジスタをマスクする方法。

【請求項8】 請求項7に記載された方法において、シリコンの第2層を成長する前記段階の前に前記トレンチの前記壁の上の欠陥の数を減少するためにおよび前記トレンチの前記第1端部および前記第2端部の角を丸くするために、前記トレンチに焼純しを行う段階をさらに有する前記方法。

【請求項9】 請求項8に記載された方法において、前記焼純し段階が水素ガスを用いて約960℃ないし1160℃の範囲の温度および約40トルないし240トルの範囲の圧力で実行される前記方法。

【請求項10】 請求項9に記載された方法において、シリコンの前記第2層の上に誘電体層を成長する段階と、

前記トレンチ電界効果トランジスタのゲートとなる導電体を前記誘電体層の上に成長する段階と、

20 前記トレンチの間に配置されたウエルを作成するためには、パターンに作成する段階および第2電荷形の添加不純物を注入する段階と、前記電界効果トランジスタのソースとなる領域を作成するために、パターンに作成する段階および第1電荷形の添加不純物を注入する段階と、をさらに有する前記方法。

【請求項11】 第1電荷形の添加不純物を有しおよび前記トレンチ電界効果トランジスタのドレインとなる半導体基板と、

30 第1電荷形の添加不純物を有しおよび前記基板の主要表面の上に作成されたボディ層と、前記ボディ層を貫通して延長されおよび前記基板の中にトレンチ終端深さにまで延長された壁によって定められ、そして前記ボディ層の主要表面に第1端部を有しおよび前記トレンチ終端深さに第2端部を有する、少なくとも2個またはさらに多数個のトレンチと、

少なくとも1個の前記トレンチの前記壁を被覆するシリコンの層と、

前記シリコン層の内側壁を被覆する誘電体層と、

40 前記誘電体層の内側壁を被覆しおよび前記トレンチ電界効果トランジスタのゲートとなる導電体と、前記誘電体層の外側壁の側面に配置されおよび前記ボディ層の前記主要表面から前記ボディ層の中の予め定められた第1深さにまで延長された、前記第1電荷形の添加不純物を有するソース領域と、を有するトレンチ電界効果トランジスタ。

【請求項12】 請求項11に記載された電界効果トランジスタにおいて、前記ソース領域の間に配置されおよび前記ボディ層の中の予め定められた第2深さにまで凹

純物が添加されたボディ層をさらに有し、ここで多量の不純物が添加された前記ボディ層が前記ボディ層の添加不純物濃度よりも大きな添加不純物濃度を有する、前記電界効果トランジスタ。

【請求項13】 第1電荷形の添加不純物を有する半導体基板を備える段階と、

前記基板の上に同じ第1電荷形の添加不純物を有するベース・シリコン層を成長する段階と、

前記ベース・シリコン層の中に2個またはさらに多数個のトレンチを作成する段階であって、前記トレンチのおのが前記基板の主要表面によって定められる平面の中の第1端部と前記ベース・シリコン層の中の予め定められた第1深さの第2端部にまで延長された壁とによって定められ、ここで許容される最小メサ幅よりも小さな初期幅を隣接するトレンチを分離するメサが有する、前記ベース・シリコン層の中に2個またはさらに多数個のトレンチを作成する前記段階と、

シリコンの層を成長する前記段階の前に前記トレンチの前記壁の上の欠陥の数を減少するためにおいて前記トレンチの前記第1端部および前記第2端部の角を丸くするために前記トレンチに焼鈍しを行う段階と、

許容される前記最小メサ幅よりも近似的に大きいまたは等しい最終幅に前記メサ幅が整合するように、前記トレンチの前記壁の上および前記トレンチの間の前記メサの上にシリコンの第2層を成長する段階と、

シリコンの前記第2層の上に誘電体層を成長する段階と、

前記トレンチMOSFETのゲートとなる導電体を前記誘電体層の上に成長する段階と、

トレンチの間に配置されたウエルを作成するために、パターンを作成する段階および第2電荷形の添加不純物を注入する段階と、

前記MOSFETのソース領域となる領域を作成するために、パターンを作成する段階および前記第1電荷形の添加不純物を注入する段階と、有するトレンチ電界効果トランジスタをマスクする方法。

【請求項14】 請求項13に記載された方法において、前記焼鈍し段階が水素ガスを用いて約960℃ないし1160℃の範囲の温度および約40トルないし240トルの範囲の圧力で実行される前記方法。

【請求項15】 前記メサの幅が目標メサ寸法以下の幅から前記目標メサ寸法よりも大きいまたは等しい幅にまで増大するように、前記トレンチを定める壁の上にシリコンの層を成長する段階を有する、基板の中のメサにより分離された2個またはさらに多数個のトレンチを作成する方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は全体的に言えば、半

用金属・酸化物・半導体電界効果トランジスタ(MOSFET)のような応用に対してトレンチの集積度を増大する方法に関する。

【0002】

【発明が解決しようとする課題】 半導体製造業者は、単一のウエハの上に作成することができるデバイスの数を増大するように常に努力している。電力用MOSFETはそのゲート領域が大きな面積領域を必要とするために、典型的な場合には半導体ウエハの上のダイの全面積を占有する。従来の電力用MOSFETでは、大きなゲート面積領域が必要であるために、1個のウエハ当たりに実現することができるダイの数(すなわち「ダイ集積度」)が限定される。この限界を解決する1つの方法は、ウエハの中にトレンチを作成し、そしてその四部の中に3次元のゲートを作成することである。3次元のゲートは大きなゲート面積領域を保ったまま、ダイの2次元表面寸法(すなわち「ダイ寸法」)を小さくすることができる。この形式の電力用トランジスタは、業界では「電力用トレンチMOSFET」と呼ばれている。

【0003】 図1は、電力用に用いることができる典型的なトレンチMOSFET10の横断面図である。トレンチMOSFET10はN形基板102を有し、そして典型的な場合にはこの基板の上にN形エピタクシャル層(図1には示されていない)が成長される。基板102はトレンチMOSFET10のドレインの役割を果たす。このエピタクシャル層は、P形のボディ層108で被覆される。1対のトレンチ100がボディ層108を貫通し、そしてエピタクシャル層の中にまで延長される。トレンチ100の壁の上に、誘電体層104が作成される。誘電体層104は、それぞれのトレンチ100の中心に向かって面している内側壁と、外側壁とを有する。N+形のソース領域110は誘電体層104の外側壁を取り囲んで配置され、およびボディ層108の中に延長される。ボディ層108の中にはまた、不純物が多量に添加されたボディ領域112がソース領域110の間に配置される。導電体層106(例えばポリシリコン)がトレンチ100を実質的に充填し、そしてトレンチMOSFET10のゲートの役割を果たす。最後に、誘電体のキャップ114は充填されたトレンチを被覆し、およびまたソース領域110を部分的に被覆する。

【0004】 トレンチMOSFET10の製造の期間中に、トレンチ100を作成するために典型的には異方的エッティング段階が実行される。等方的エッティングではなくて異方的エッティングが行われるが、その理由は異方的エッティングでは実質的に1つの方向に、この場合には垂直方向で下向きに、エッティングが行われるからである。実質的に垂直なトレンチ100はトレンチ・パターンによって定められる幅を保持するのに役立ち、その有益な特徴はトレンチ100の中心間の予め定められた距離

【0005】トレンチ100が作成された後、トレンチ・エッティング段階の期間中にトレンチ100の頂部および底部に形成される角を丸くするエッティングが典型的には実行される。トレンチMOSFET10のためのゲート酸化物を成長するすぐ前に典型的に実行されるまた別の段階は、犠牲酸化物の成長である。この犠牲酸化物は、トレンチの壁から欠陥を取り除くために成長されそして除去される。

【0006】トレンチの集積度を増大するために、トレンチ・ピッチをできるだけ小さくすると共にトレンチ幅をできるだけ小さくすることが望ましい。けれども、デバイスの操作の要請および製造装置による制約のために、これらの寸法はいずれも限定される。信頼性をもって製造することができる最小のトレンチ幅は、全体的にホトリソグラフィ装置の性能によって指定される。さらに、トレンチの間に作成されるメサの最小の幅は、ソースと、多量の不純物が添加されたボディ領域と、ソース接触体の面積領域とにより定められる。

【0007】したがって必要とされることは、リソグラフィにより最小印刷寸法能力によって与えられる制限にもかかわらず、および許容される最小メサ幅を侵害することなく、大きなトレンチ集積度を有するトレンチMOSFETのような電子デバイスを得るために、達成可能な最小トレンチ幅およびトレンチ・ピッチに関する限界を解決できる方法を得ることである。

【0008】

【課題を解決するための手段】本発明により、トレンチMOSFETの隣接するトレンチの間の実効的なピッチを小さくすることにより、トレンチMOSFETのトレンチ集積度を増大する方法を得ることである。ピッチを小さくすることは、トレンチの間のメサが許容される最小メサ幅よりも小さな幅を有するように、隣接するトレンチを最初にパターンに作成することにより達成される。トレンチが作成された後、トレンチの壁の上にシリコン層が成長される。このシリコン層の成長は、許容される最小メサ幅よりも大きいまたは等しい幅にまで、隣接するトレンチの間のメサを実効的に広げるような厚さにまで行われる。このシリコン層の厚さは、メサの最終の幅が許容される最小メサ幅に達するように選定される。このことを実行することにより、トレンチ・ピッチを最大限に小さくすることを実現することができる。

【0009】本発明の方法の1つの特徴により、基板の選定された面積領域（または「トレンチ開口アクセス部」）が定められる。これらのトレンチ開口アクセス部を通して、基板の中にトレンチが作成される。このトレンチの作成には、異方的エッティングを用いることが好ましい。トレンチがいったん作成されると、トレンチにオプションで焼鈍しが行われる。この焼鈍しは、トレンチの頂部および底部の角が丸くなるように、およびトレン

の低圧および高い温度の水素ガスを用いて行われることが好ましい。この焼鈍し処理工程は、名称「トレンチMOSFETのための増強されたトレンチを生成する水素焼鈍し（Hydrogen Anneal for Creating an Enhanced Trench for Trench MOSFETs）」の本出願と共通に譲渡された出願中特許出願番号第09/号（代理人整理人番号第018865-003600号）に開示されている。最後に、メサ幅が許容される最小メサ幅よりも大きいまたは等しいことを確実に得るために、シリコンの層がトレンチの壁の上に作成される。このシリコン層の作成は、エピタクシャル沈着により行われることが好ましい。

【0010】本発明のまた別の特徴により、本発明の方法を用いて、小さなトレンチ・ピッチを特徴とするトレンチMOSFETを製造することができる。この方法は、（i）第1電荷形の不純物が添加された基板を備える段階と、（ii）この基板の上に同じ第1電荷形の不純物が添加されたベース・シリコン層を成長する段階と、（iii）このベース・シリコン層の中に少なくとも2個のトレンチを作成する段階であって、これらのトレンチのおのが基板の主要表面によって定められる面の中の第1端部とベース・シリコン層の中のトレンチ終端深さにおける第2端部にまで延長された壁とによって定められる、前記少なくとも2個のトレンチを作成する段階と、（iv）（a）トレンチの壁の上の欠陥の数を減少させるために、（b）トレンチの第1端部および第2端部における角を丸くするために、トレンチに焼鈍しを行う段階と、（v）トレンチMOSFETの隣接するトレンチの間のメサの幅が許容される最小メサ幅よりも大きいまたは等しいことを確実に得るために、この好ましくはエピタクシャル沈着によりトレンチの壁の上にシリコンの第2層を成長する段階と、（vi）シリコンの前記第2層の上に誘電体層を成長する段階と、（vii）トレンチMOSFETのゲートとなる導電体層を前記誘電体層の上に作成する段階と、（viii）パターンに作成する段階および隣接するトレンチの間に介在する壁を作成するために第2電荷形の不純物を注入する段階と、（ix）パターンに作成する段階およびトレンチMOSFETのソース領域となる領域を作成するために第1電荷形の不純物を注入する段階とを有する。

【0011】

【発明の実施の形態】添付図面を参照しての下記説明により、本発明のその他の特徴および利点がさらに明らかになるであろう。

【0012】図2は、小さなトレンチ・ピッチを特徴とする1対のトレンチを、本発明に従って製造する処理工程の流れを示した流れ図である。この処理工程の流れの中のそれぞれの段階についての下記説明は単に1つの例であって、本発明の範囲がこの特定の例に限定されるのではないことを理解しなければならない。特に、温

のような処理工程の条件は、本発明の範囲内において変更することができる。図2の処理工程の流れを図3 A～図3 Iを参照しながら下記で説明する。

【0013】処理工程の流れの最初の段階200(図2を見よ)は、半導体基板10を備える段階である。(図3 Aを見よ。)この説明では基板10は例えばN形であり、そしてその標準的な厚さは約500μmであるとされている。

【0014】次に、段階204では、基板10の上にベース・シリコン層20が成長される。この成長はエピタクシャル沈着によって行われることが好ましく、そしてこのベース・シリコン層の厚さは約4μm～10μmであることが好ましい。(図3 Bを見よ。)ベース・シリコン層20の抵抗率は、典型的には約0.1Ωcmないし3.0Ωcmである。

【0015】段階208では、図3 Cに示されているように、ベース・シリコン層20の上にマスク層30が成長される。マスク層30は二酸化シリコン(SiO₂)で作成された材料であることが好ましく、そして約1000オングストロームの厚さにまで成長されることが好ましい。

【0016】段階212では、マスク層30がパターンに作成され、そしてその後、例えば緩衝された酸化物エッティング剤(例えばフッ化アンモニウム(NH₄F)で緩衝されたフッ酸(HF))を用いて選択的エッティングが行われる。ここで、マスク層30の中にトレンチ開口アクセス部40がベース・シリコン層20の表面にちょうど達する深さにまで作成される。得ることのできるトレンチ開口アクセス部の最小幅x(図3 D参照)は、ホトリソグラフィ装置の光学的な性能により決定される。標準的な紫外線リソグラフィを用いた場合、トレンチ開口アクセス部の典型的な幅はx～0.45μmである。それにもかかわらず、隣接するトレンチ開口アクセス部の間のパターンに作成された幅m_pは、許容されるメサの最小幅よりも小さい寸法にパターンに作成される。この処理工程の後、トレンチの壁の上とトレンチの間のメサの上とにシリコンの第2層が成長される時、メサの幅は、最小メサ幅よりも大きいがしかし好ましくは許容される最小メサ幅にはほぼ等しい、最終幅m_fにまで増加するであろう。

【0017】段階216では、異方的エッティングが実行される。異方的エッティングは、ここではその名前が示しているように、1つの方向というよりは多くの方向にエッティングが行われる等方的エッティングとは異なって、実質的に1つの方向にエッティングが行われる、乾式エッティングである。したがって異方的エッティング段階216を用いて、ベース・シリコン層20の中に実質的に垂直なトレンチ50がエッティングにより作成される。典型的な場合には、この乾式エッティングはプラズマ・エッティング

励起された大きなエネルギーをもった分子、イオンおよび電子のほぼ中性の混合体である。エッティングされる材料に応じて、異なるガスをプラズマ・エッティングに用いることができる。重要なことは、反応生成物が揮発性であることがある。シリコンのエッティングを行うためには、C1、HB r、HeO₂は好ましい反応剤であり、そして好ましい圧力は150ミリトル(または約20Pa)であり、そして好ましい反応維続時間は約235秒である。

10 【0018】トレンチ50の深さy(図3 E参照)は約1.5μmであることが好ましく、そしてトレンチ50の幅x'はトレンチ50の中の深さ0.25μmにおいて約0.42μmであることが好ましい。

【0019】段階220では、パターンに作成されたホトリジストが除去され、そしてトレンチ50に湿式清浄化が行われて、それ以前の段階で残留した屑が除去される。その最終の結果が図3 Fに示されている。

【0020】段階224では、マスク層30が例えば湿式エッティング処理工程により除去される。この段階の最終の結果が図3 Gに示されている。

【0021】段階226では、焼鈍しが実行される。この焼鈍しは、水素ガス中で約1100℃の温度と約100トル(または約1.3×10⁴Pa)の圧力で実行されることが好ましい。この焼鈍し段階はベース・シリコン層20の欠陥密度を減少させるのに効果があるだけでなく、図3 Hに示されているように、トレンチ50の上側の角52および下側の角53を丸くする効果をも有している。この焼鈍し工程に、他の温度および他の圧力を用いることができる。例えば、1060℃ないし1160℃の範囲の温度および40トルないし240トル(または約5.3×10³Paないし3.2×10⁴Pa)の範囲の圧力で処理を行うことにより、トレンチ50の角の形状を変えることができる。

【0022】段階226のさらに詳細な説明およびその利点は、名称「トレンチMOSFETのための増強されたトレンチを生成する水素焼鈍し(Hydrogen Anneal for Creating an Enhanced Trench for Trench MOSFETs)」の本発明と共に譲渡された出願中特許出願番号第09/号(代理人整理番号第018865-003600号)に記載されている。この出願中特許の内容は、参考として本発明の中に取り込まれている。

【0023】段階228では、トレンチ50の上およびトレンチの間のメサの上に、高品質のシリコンの第2層60が成長される。この第2シリコン層の成長は、エピタクシャル沈着で実行されることが好ましい。第2シリコン層60の厚さx"は、図3 Iに示されているように、500オングストロームと1000オングストロームの間であることが好ましい。ただし、許容される最小メサ幅に確実に従う必要がある時には他の厚さを用いる

0の中の欠陥を浄化する機能を有し、したがってそれに よりゲート酸化物成長のために損傷のないシリコン表面 が用意される。

【0024】図4は、トレンチ・ピッチ p が本発明に従って減少する程度を示した図である。第2シリコン層60を付加することにより、パターンに作成されたメサ幅 m_p が最終幅 m_f に増加する。この増加は、第2シリコン層60の厚さの2倍、すなわち2W、である。それに対応して、トレンチ・ピッチ p は2Wだけ減少する。最終メサ幅 m_f が許容される最小メサ幅にはば等しくなるよう、したがってトレンチ・ピッチの減少が最大になることができるよう、第2シリコン層60の幅が選定されることが好ましい。

【0025】図3Eと図3Iとを比べることにより、トレンチ50の深さ約0.25μmの位置において、第1トレンチ幅 x' ～0.42μmが第2トレンチ幅 x'' ～0.35μmに減少していることが分かる。トレンチ幅のこの減少はトレンチの表面積および容積を減少させる。このことは、トレンチMOSFETに応用する場合にゲート抵抗値を増加させる結果を生ずる。それにもかかわらずこの問題点は、例えばケイ化物プラグまたは金属(例えばタンクスチン)プラグのような抵抗値の小さな材料を用いることにより解決することができる。抵抗値の小さな材料で作成されたトレンチ・ゲートを有するトレンチMOSFETを製造する方法は、モー(Mo)ほかの名称「高導電率材料で実質的に充填されたトレンチ構造体 (Trench Structure Substantially Filled with High Conductivity Material)」の本発明と共に譲渡された出願中特許出願番号第09/343,330号に詳細に開示されている。この出願中特許の内容は、参考として本発明の中に取り込まれている。

【0026】図5は、本発明方法を用いて製造されたトレンチMOSFET400の一部分の横断面図である。トレンチMOSFET400は、N形基板402を有する。N形基板402の上に、N形ベース・シリコン層(図5には示されていない)が典型的には成長される。基板402は、トレンチMOSFET400のドレインとなる。P形ボディ層408がベース・シリコン層を被覆する。1対のトレンチ403は、ボディ層408を貫通してベース・シリコン層の中に延長される。第2シリコン層416が、トレンチ403の壁を被覆する。第2シリコン層416は幅Wを有し、そしてソース部分410と不純物が多量に添加されたボディ領域412の一部分を含んでいる。第2シリコン層416の壁の上に、誘電体層404が作成される。誘電体層404はトレンチMOSFET400のゲート酸化物を構成し、それらのそれぞれのトレンチ403の中心に向って面している内側壁と外側壁とを有する。N+形ソース領域410は誘電体層404の外側壁の側面に位置し、そしてボ

また配置された不純物が多量に添加されたボディ領域412は、ソース領域410の間に配置される。導電体層406はトレンチ403を実質的に充填し、そしてトレンチMOSFET400のゲートの役割を果たす。次に、誘電体のキャップ414が充填されたトレンチ403を被覆し、そしてまたソース領域410の一部分をも被覆する。最後に、トレンチMOSFET400の上側表面の上に、導電体層418が作成される。導電体層418は、トレンチMOSFET400に対する接触体を形成する。最終メサ幅 m_f と誘電体のキャップ414の角の間の間隔距離 s によって定められる接触体開口部420は、多量に添加されたボディ412とソース410との接触抵抗値ができるだけ小さくなるように最適化される。したがって、導電体層418の作成の期間中に適切な被覆段階を達成することができる。誘電体のキャップ414の角から最も近い金属接触体までの幅 s は、ゲート・ソース漏洩電流 I_{gs} とゲート・ソース静電容量 C_{gs} とができるだけ小さくなるように最適化される。

【0027】図5に示されたようなトレンチMOSFETを製造するのに本発明が用いられる時、本発明によりトレンチ・ピッチをシリコン層416の厚さの2倍だけ小さくする方法が得られる。これは、メサ幅がそのパターンに作成された幅 m_p からその最終幅 m_f に変化するのと同じ大きさである。換言すれば、ピッチの減少は $\Delta p = 2W = m_f - m_p$ である。

【0028】図5のトレンチMOSFET400はまた、前記で説明した水素焼純し段階226を用いて製造されることが好ましい。図5のトレンチMOSFETのその他の処理工程の細部は、名称「電界効果トランジスタとその製造法(Field Effect Transistor and Method of Its Manufacture)」の本発明と共に譲渡された米国出願中特許出願番号第08/970,221号に開示されている。この出願中特許の内容は、参考として本発明の中に取り込まれている。

【0029】本発明の1つの好ましい方法および構造について説明されたけれども、本発明の範囲内において開示された実施例に多くの修正および変更を行うことが可能であることは当業者には明らかであるであろう。例えば、トレンチのピッチを減少させることを特徴としてトレンチMOSFETを製造するのに本発明の方法を用いることができるが、本発明のトレンチ・ピッチの減少はこのようなデバイスの製造に限定されると考えるべきではない。

【図面の簡単な説明】

【図1】電力用に用いることができる典型的なトレンチMOSFETの横断面図。

【図2】本発明の方法に従い小さなトレンチ・ピッチを有するトレンチを製造する例示のための処理工程の流れ図。

OSFETを製造する順次の段階を示した図であって、半導体基板の横断面図。

【図3B】小さなトレンチ・ピッチを有するトレンチMOSFETを製造する順次の段階を示した図であって、図3Aの基板の上にベース・シリコン層を成長した結果を示した横断面図。

【図3C】小さなトレンチ・ピッチを有するトレンチMOSFETを製造する順次の段階を示した図であって、図3Bのベース・シリコン層の上にマスク層を成長した結果を示した横断面図。

【図3D】小さなトレンチ・ピッチを有するトレンチMOSFETを製造する順次の段階を示した図であって、トレンチ開口アクセス部を定めるためにパターン作成工程および図3Cのホトレジスト層およびマスク層を貫通するエッチング工程を行った結果を示した横断面図。

【図3E】小さなトレンチ・ピッチを有するトレンチMOSFETを製造する順次の段階を示した図であって、トレンチを作成するためにトレンチ開口アクセス部の中においてベース・シリコン層を貫通する異方的エッチング工程を行った結果を示した横断面図。

【図3F】小さなトレンチ・ピッチを有するトレンチMOSFETを製造する順次の段階を示した図であって、図3Eのホトレジスト層を除去した結果を示した横断面図。

【図3G】小さなトレンチ・ピッチを有するトレンチM

OSFETを製造する順次の段階を示した図であって、図3Fのマスク層を除去した結果を示した横断面図。

【図3H】小さなトレンチ・ピッチを有するトレンチMOSFETを製造する順次の段階を示した図であって、トレンチの頂部および底部における角を丸くするために焼鈍しを行った結果を示した横断面図。

【図3I】小さなトレンチ・ピッチを有するトレンチMOSFETを製造する順次の段階を示した図であって、トレンチの壁の上およびトレンチの間のメサの上にシリ

10 コンの第2層を成長した結果を示した横断面図。

【図4】トレンチの間のピッチp、第2シリコン層の幅Wおよびパターンに作成されおよび最終のメサの幅mpおよびmfを示した1対のトレンチの横断面図。

【図5】本発明に従って製造されたトレンチMOSFETの横断面図。

【符号の説明】

10、400 トレンチ電界効果トランジスタ

102、402 半導体基板（ドレイン）

108、408 ボディ層

20 100 トレンチ

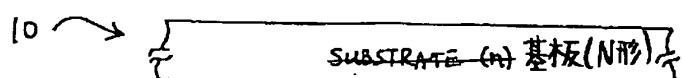
416 シリコン層

114、414 誘電体層

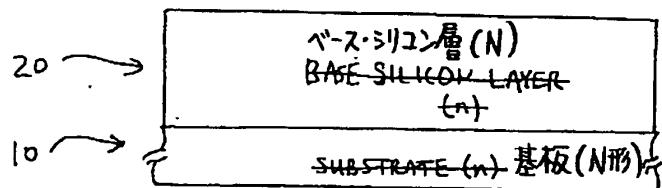
106、406 導電体層（ゲート）

110、410 ソース領域

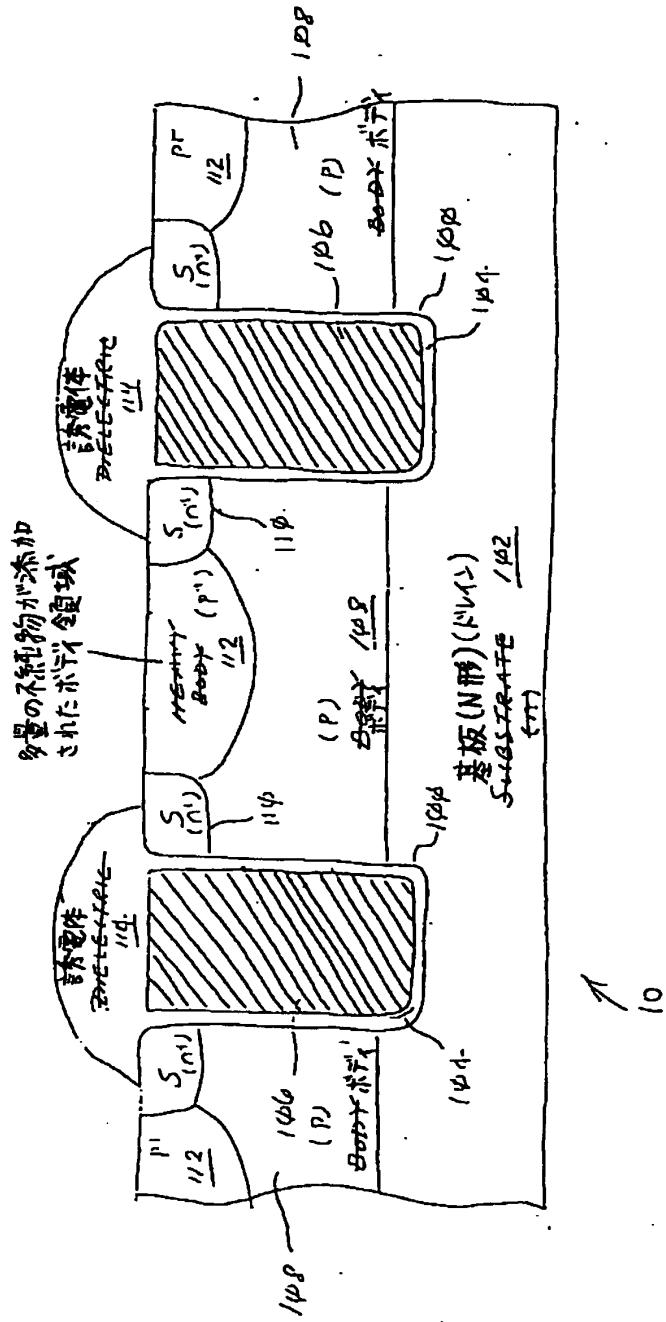
【図3A】



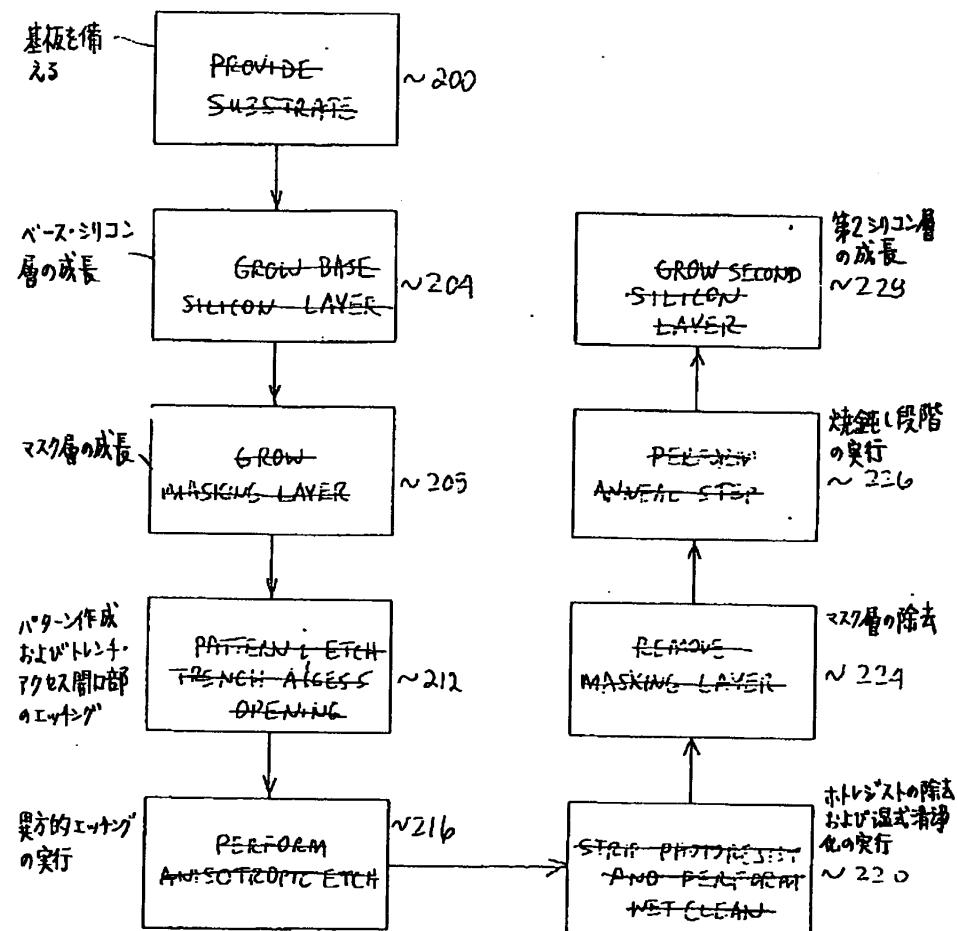
【図3B】



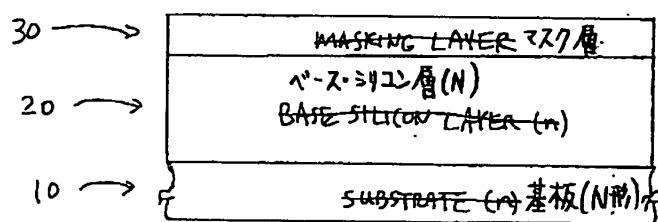
【図1】



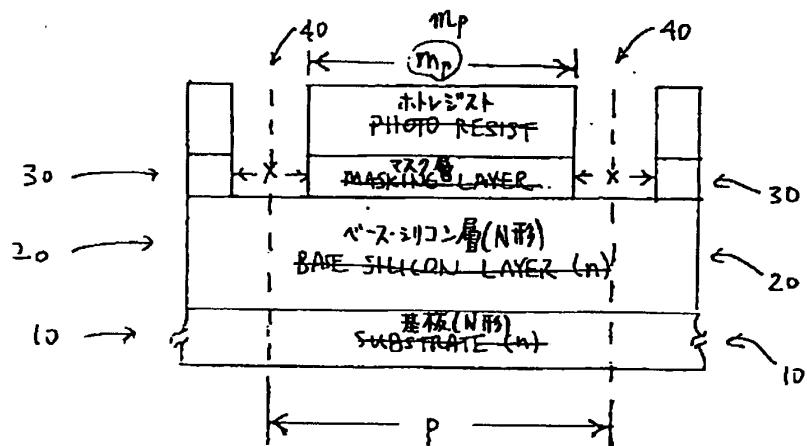
【图2】



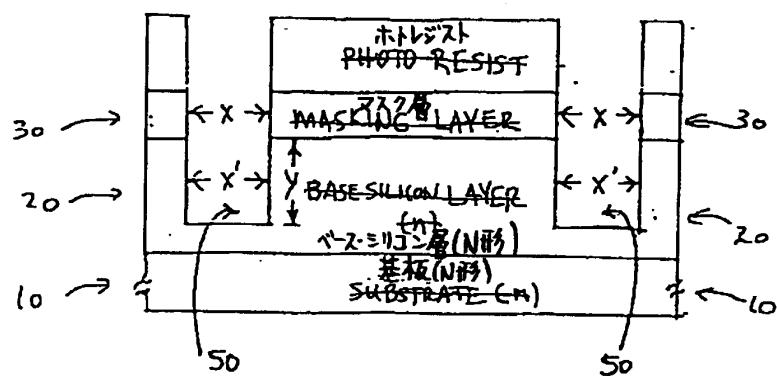
〔図3C〕



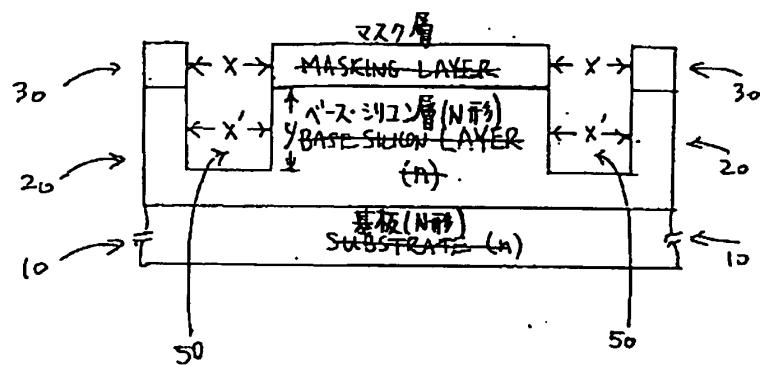
【図3D】



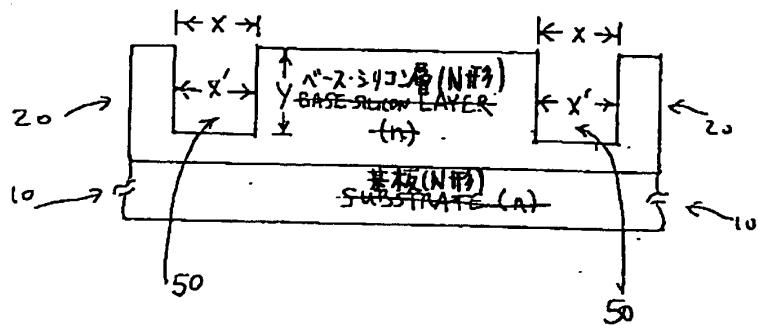
【図3E】



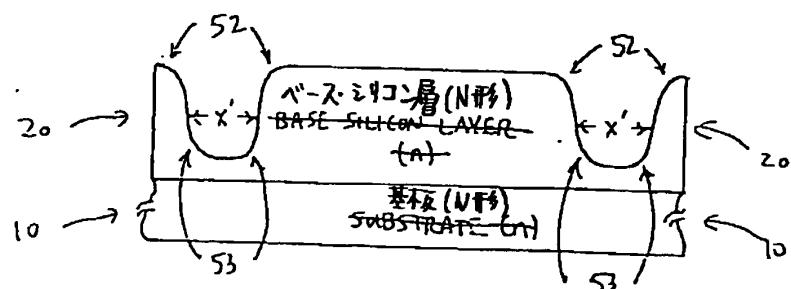
【図3F】



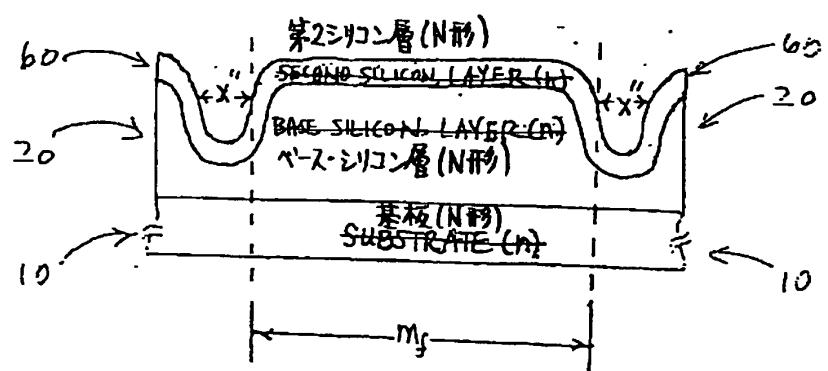
【図3G】



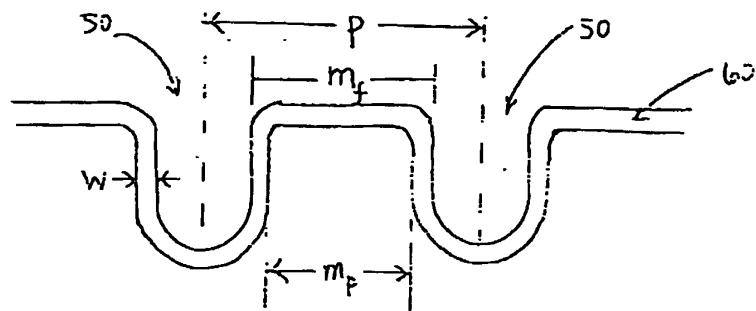
【図3H】



【図3I】



【図4】



【図5】

